

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-223837
 (43)Date of publication of application : 11.08.2000

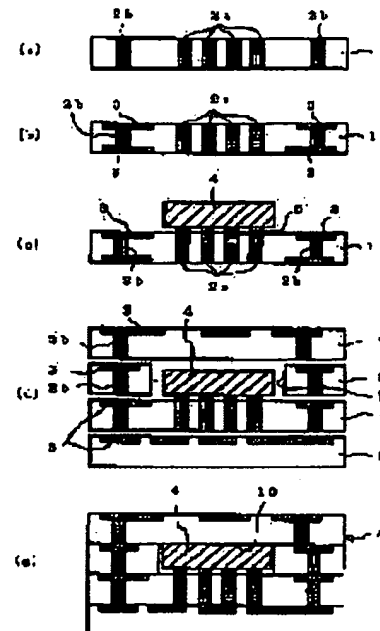
(51)Int.Cl. H05K 3/46
 H05K 1/18

(21)Application number : 11-024425 (71)Applicant : KYOCERA CORP
 (22)Date of filing : 01.02.1999 (72)Inventor : HAYASHI KATSURA

(54) ELECTRIC ELEMENT MOUNTING WIRING BOARD AND ITS MANUFACTURE**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a wiring board which mounts electric elements such as semiconductor elements and electronic elements, miniaturizes a board and can increase the packaging density of elements, and a manufacturing method capable of forming easily the wiring board.

SOLUTION: This wiring board is provided with an insulating board formed by laminating a plurality of insulating sheets 1, 6, 7 containing at least thermosetting resin, wiring circuit layers 3 formed on the surface and in the inside of the insulating board, and viahole conductor 2. An electric element 4 is mounted in an air gap 9 of the wiring board. Viahole conductor 2a connected with an electrode 5 of the electric element 4 is made to contain low melting point metal having a low melting point T less than or equal to the curing temperature T of the thermosetting resin. When the insulating sheets are thermally cured, connection of the viahole conductor 2a with the electric element 4 is simultaneously performed.

**LEGAL STATUS**

[Date of request for examination] 16.06.1999
 [Date of sending the examiner's decision of rejection] 13.02.2001
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3207174
 [Date of registration] 06.07.2001
 [Number of appeal against examiner's decision of rejection] 2001-03978
 [Date of requesting appeal against examiner's decision of rejection] 15.03.2001
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(51)Int.Cl.

H05K 3/46

識別記号

F I

H05K 3/46

テームト' (参考)

Q 5E336

G 5E346

N

J

1/18

1/18

審査請求 有 請求項の数 4 O L (全7頁)

(21)出願番号

特願平11-24425

(22)出願日

平成11年2月1日(1999.2.1)

(71)出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田島羽殿町6番地

(72)発明者 林 桂

鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

Fターム(参考) 5E336 AA08 BB03 BB15 BC26 BC34

CC31 CC51 EE05 GG30

5E346 AA12 AA15 AA43 AA60 BB01

BB16 CC08 CC31 CC40 DD02

DD12 DD31 EE02 EE06 EE08

FF18 FF35 FF45 GG28 HH22

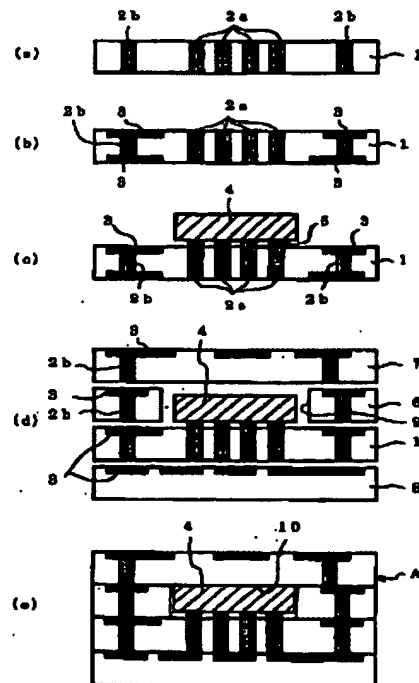
HH32 HH33

(54)【発明の名称】電気素子搭載配線基板およびその製造方法

(57)【要約】

【課題】半導体素子や電子部品などの電気素子を搭載し、基板の小型化と、素子の実装密度を高めることのできる配線基板とそれを容易に作製することのできる製造方法を提供する。

【解決手段】少なくとも熱硬化性樹脂を含む複数の絶縁シート1、6、7を積層してなる絶縁基板と、絶縁基板の表面および内部に形成された配線回路層3と、ビアホール導体2とを具備する配線基板の空隙9内に電気素子4が搭載され、電気素子4の電極5と接続されるビアホール導体2aに、熱硬化性樹脂の硬化温度T₁以下の低い融点T₂を有する低融点金属を含有させて、絶縁シートの熱硬化時にビアホール導体2aと電気素子4との接続を同時に行う。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】少なくとも熱硬化性樹脂を含む複数の絶縁層を積層してなる絶縁基板と、該絶縁基板の表面および内部に形成された配線回路層と、金属粉末が充填されてなるビアホール導体とを具備する配線基板の表面または内部に電気素子が搭載され、前記電気素子の電極と前記ビアホール導体とが電気的に接続してなる電気素子搭載配線基板において、前記電極と接続されるビアホール導体が、前記熱硬化性樹脂の硬化温度以下の低い融点を有する低融点金属を含有し、該ビアホール導体と前記電気素子の電極とを前記低融点金属によって電気的に接続固定してなることを特徴とする電気素子搭載配線基板。

【請求項 2】前記電気素子が、前記配線基板内部の密閉された空隙中に収納搭載されていることを特徴とする請求項 1 記載の電気素子搭載配線基板。

【請求項 3】少なくとも熱硬化性樹脂を含有する未硬化の絶縁シートにビアホールを形成し、該ビアホール中に前記熱硬化性樹脂の硬化温度以下の低い融点を有する低融点金属を含有する導体ペーストを充填してビアホール導体を形成する A 工程と、前記絶縁シートの表面に所定の電気素子を搭載し、前記電気素子の電極と前記ビアホール導体の端部の露出部とを当接させる B 工程と、前記電気素子を載置した絶縁シートを他の絶縁シートとともに積層する C 工程と、該積層物を前記熱硬化性樹脂の熱硬化温度に加熱して前記絶縁シートを硬化させると同時に、前記ビアホール導体内の前記低融点金属を溶融せしめ、前記電気素子の電極とビアホール導体とを電気的に接続する D 工程と、を具備することを特徴とする電気素子搭載配線基板の製造方法。

【請求項 4】前記 C 工程において、前記電気素子が密閉された空隙中に収納搭載されるように他の絶縁シートを積層することを特徴とする請求項 3 記載の電気素子搭載配線基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、多層配線基板及び半導体素子収納用パッケージなどに適し、特に絶縁基板内部に電気素子が内蔵されてなる電気素子搭載配線基板とその製造方法に関するものである。

【0002】

【従来技術】電子機器は小型化が進んでいるが、近年携帯情報端末の発達や、コンピューターを持ち運んで操作する、いわゆるモバイルコンピューティングの普及によってさらに小型、薄型且つ高精細の多層配線基板が求められる傾向にある。また、従来の多層配線基板に対して、半導体素子やコンデンサ素子、抵抗素子などの電気素子を搭載させる場合には、予め作製されたプリント配線基板の表面に素子を接着し、ワイヤボンディングによって配線基板の配線回路層と接続し、または配線基板の表面に電気素子を半田等により直接実装し、実装した素

子を樹脂によってモールドする方法、絶縁基板の表面に凹部を形成して、その凹部に素子を収納して樹脂モールドしたり、蓋体によって凹部を気密に封止する方法などが採用されている。

【0003】また、最近では、携帯情報端末等小型軽量薄型化が要求される用途に用いる基板について、最近では TAB (tape automated bonding) といわれる方法が用いられている。TAB 接続法は、所定箇所に半導体素子を収納する穴が設けられたポリイミド樹脂などのフィルムの全面に金属箔を接着した後、この金属箔をフォトリソエッチングにより半導体素子の接続するためのインナーリードとアウターリードからなるリード配線層が形成された、いわゆる TAB テープに対して、半導体素子のパンプとインナーリードとを接続する方法である。

【0004】

【発明が解決しようとする課題】しかしながら、従来の電気素子を搭載する方法においては、予め作製した配線基板の表面に、電気素子を搭載し、配線回路層と電気的に接続する工程が必要であり、電気素子を含む電気装置を完成するまでの製造工程が多く、コスト高を招いていた。しかも、電気素子の搭載部が配線基板の表面のみであるために、基板の薄層化、小型化および複数の電気素子の高密度実装化を阻害していた。

【0005】また、接続方法においても、半導体素子の実装をワイヤボンディングによって行う場合、接続パッドは 200 μm 程度のピッチが必要なので、それより小さいピッチでの接続が難しくなり、小型化に対応できないものであった。また、個々の端子間を接続する必要があるために、接続に要する時間が長くなり、生産性が落ちるという問題があった。しかも、ワイヤボンディングによる接続はワイヤーがループを描くように配線せざるを得ないため、必然的にシリコンチップの厚さ方向に 0.5 mm 程度のクリアランスを作らざるを得なくなり、半導体装置の薄型化を阻害していた。

【0006】これに対して、TAB 接続法は、半導体素子とリードとを一度の接続処理で接続できることから、短時間で接続できるため、量産性に優れているとの利点を有する反面、TAB テープと呼ばれる銅箔を片面に接着したポリイミド樹脂フィルムを使用することのみ実現可能な接続方法であるため、接続端子が 500 を越えると 20 μm 以下の配線幅が必要となる等、シリコンチップの端子数の増加に対応できないという問題があった。

【0007】従って、本発明は、半導体素子や電子部品（コンデンサ素子、抵抗素子、フィルター素子、発振素子など）の電気素子を搭載し、基板の小型化と、素子の実装密度を高めることのできる電気素子搭載配線基板を提供することを目的とするものである。さらに、本発明は、配線基板内部に電気素子を内蔵することのできる配線基板を容易に作製することのできる電気素子搭載配線基板の製造方法を提供することを目的とするものである

る。

【0008】

【課題を解決するための手段】本発明者は、電気素子を搭載した配線基板の小型化および製造の簡略化について検討を重ねた結果、電気素子の電極をビアホール導体と接続させるとともに、ビアホール導体中に、絶縁基板中に含まれる熱硬化性樹脂の硬化温度以下の低い融点を有する低融点金属を含有せしめることによって、前記電気素子の電極と前記ビアホール導体との接続を配線基板の製造と同時に行うとともに、電気素子を多層配線基板内に容易に内蔵できることを見だし、本発明に至った。

【0009】即ち、本発明の電気素子搭載配線基板は、少なくとも熱硬化性樹脂を含む複数の絶縁層を積層してなる絶縁基板と、該絶縁基板の表面および内部に形成された配線回路層と、金属粉末が充填されてなるビアホール導体とを具備する配線基板の表面または内部に電気素子が搭載され、前記電気素子の電極と前記ビアホール導体とが電氣的に接続してなる電気素子搭載配線基板において、前記電極と接続されるビアホール導体が、前記熱硬化性樹脂の硬化温度以下の低い融点を有する低融点金属を含有し、該ビアホール導体と前記電気素子の電極とを前記低融点金属によって電氣的に接続固定してなることを特徴とするものであり、特に、前記電気素子は前記配線基板内部の密閉された空隙中に収納搭載されていることが望ましい。

【0010】また、本発明の電気素子搭載配線基板の製造方法によれば、少なくとも熱硬化性樹脂を含有する未硬化の絶縁シートにビアホールを形成し、該ビアホール中に前記熱硬化性樹脂の硬化温度以下の低い融点を有する低融点金属を含有する導体ペーストを充填してビアホール導体を形成するA工程と、前記絶縁シートの表面に所定の電気素子を搭載し、前記電気素子の電極と前記ビアホール導体の端部の露出部とを当接させるB工程と、前記電気素子を載置した絶縁シートを他の絶縁シートとともに積層するC工程と、該積層物を前記熱硬化性樹脂の熱硬化温度に加熱して前記絶縁シートを硬化させると同時に、前記ビアホール導体内の前記低融点金属を溶融せしめ、前記電気素子の電極とビアホール導体とを電氣的に接続するD工程と、を具備することを特徴とするものであり、特に、前記C工程において、前記電気素子が密閉された空隙中に収納搭載されるように他の絶縁シートを積層することが望ましい。

【0011】

【発明の実施の形態】以下、本発明を図面をもとに説明する。図1は、本発明の電気素子搭載配線基板を製造するための製造工程を説明するための図である。

【0012】図1によれば、まず、図1(a)に示すように、硬化温度 T_1 の熱硬化性樹脂を含む軟質(Bステータス)の絶縁シート1を作製し、この絶縁シート1には、厚み方向に貫通するビアホールを形成し、そのビ

アホールのうち、電気素子の電極と接続されるビアホール内に、前記熱硬化性樹脂の硬化温度 T_1 以下の低い融点 T_2 を有する低融点金属を含有する導体ペーストをスクリーン印刷や吸引処理しながら充填して、電気素子接続用のビアホール導体2aを形成する。また、図1

(a)によれば、電気素子接続用のビアホール導体2a以外に、一般のビアホール導体2bも形成されている。

【0013】ここで用いられる絶縁シート1は、熱硬化性樹脂、または熱硬化性樹脂とフィラーなどの組成物を混練機や3本ロールなどの手段によって十分に混合し、これを圧延法、押し出し法、射出法、ドクターブレード法などによってシート状に成形するか、または所望により硬化温度よりもやや低い温度で熱処理して半硬化させることにより作製される。

【0014】そして、絶縁シートへのビアホール(ビアホール)および空隙部の形成は、ドリル、パンチング、サンドブラスト、あるいは炭酸ガスレーザ、YAGレーザ、及びエキシマレーザ等の照射による加工など公知の方法が採用される。

【0015】なお、絶縁シートを形成する熱硬化性樹脂としては、絶縁材料としての電氣的特性、耐熱性、および機械的強度を有する熱硬化性樹脂であれば特に限定されるものでなく、例えば、アラミド樹脂、フェノール樹脂、エポキシ樹脂、イミド樹脂、フッ素樹脂、フェニレンエーテル樹脂、ビスマイレイドトリアジン樹脂、ユリア樹脂、メラミン樹脂、シリコン樹脂、ウレタン樹脂、不飽和ポリエステル樹脂、アリル樹脂等が、単独または組み合わせで使用できる。

【0016】また、上記の絶縁シート1中には、絶縁基板あるいは配線基板全体の強度を高めるために、有機樹脂に対してフィラーを複合化させることもできる。有機樹脂と複合化されるフィラーとしては、 SiO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 AlN 、 SiC 、 BaTiO_3 、 SrTiO_3 、ゼオライト、 CaTiO_3 、ほう酸アルミニウム等の無機質フィラーが好適に用いられる。また、ガラスやアラミド樹脂からなる不織布、織布などに上記樹脂を含浸させて用いてもよい。なお、有機樹脂とフィラーとは、体積比率で15:85~50:50の比率で複合化されるのが適当である。

【0017】これらの中でもパンチング又はレーザー等により加工の容易性の点で、エポキシ樹脂、イミド樹脂、フェニレンエーテル樹脂の群から選ばれる少なくとも1種の熱硬化性樹脂と、フィラー成分としてシリカまたはアラミド不織布との混合物であることが最も望ましい。

【0018】一方、電気素子の電極と接続されるビアホール導体2aに充填する導体ペースト中に含まれる低融点金属としては、錫(Sn)、亜鉛(Zn)、ビスマス(Bi)及びこれらと銀(Ag)、銅(Cu)などとの合金が好適に用いられる。

【0019】低融点金属の融点 T_1 と熱硬化性樹脂の硬化温度 T_2 とは、 $T_1 \leq T_2$ 、 $T_2 - T_1 \geq 10^\circ\text{C}$ の関係を満足することが望ましい。 $T_2 - T_1$ が10よりも大きいと、熱硬化性樹脂の硬化中に低融点金属が溶融し、電気素子との結合が強固となる。

【0020】また、この低融点金属は、導体ペースト中の金属成分の全部を構成することもできるが、後述する熱硬化時に溶融した時にビアホール導体内での保形性が悪くなる可能性があることから、融点が熱硬化性樹脂の硬化温度よりも高い高融点金属と混合して用いることが望ましい。融点が熱硬化性樹脂の硬化温度よりも高融点金属としては、銅、銀、銅銀合金あるいはそれらの混合物が好適に使用される。前記高融点金属と前記低融点金属は、体積比率で90～10：10～90の比率で混合することが望ましい。

【0021】また、電気素子と接続されないビアホール導体2bは、必ずしも低融点金属を含む必要はなく、通常の銅、銀、あるいはそれらを含む合金などの高融点の金属粉末を含む導体ペーストを充填すればよい。

【0022】導体ペーストを調製する場合、低融点金属、あるいは高融点金属と低融点金属は、平均粒径が0.5～50 μm の金属粉末として調製することが望ましく、金属粉末の平均粒径が0.5 μm よりも小さいと金属粉末同士の接触抵抗が増加してビアホール導体の抵抗が高くなる傾向にあり、50 μm を越えるとビアホール導体の低抵抗化が難しくなる傾向にある。

【0023】また、導体ペースト中には、前述したような金属粉末に対して、前述したような結合用有機樹脂や溶剤を添加混合して調製される。ペースト中に添加される溶剤としては、用いる結合用有機樹脂が溶解可能な溶剤であればよく、例えば、イソプロピルアルコール、テルピネオール、2-オクタノール、ブチルカルビトールアセテート等が用いられる。

【0024】導体ペースト中の結合用有機樹脂としては、前述した種々の絶縁層を構成する有機樹脂の他、セルロースなども使用される。この有機樹脂は、前記金属粉末同士を互いに接触させた状態で結合するとともに、金属粉末を絶縁シートに接着させる作用をなしている。この有機樹脂は、金属ペースト中において、0.1乃至40体積%、特に0.3乃至30体積%の割合で含有されることが望ましい。これは、樹脂量が0.1体積%よりも少ないと、金属粉末同士を強固に結合することが難しく、低抵抗金属を絶縁層に強固に接着させることが困難となり、逆に40体積%を越えると、金属粉末間に樹脂が介在することになり粉末同士を十分に接触させることが難しくなり、ビアホール導体の抵抗が大きくなるためである。次に、図1(b)に示すように、絶縁シート1の表面あるいは裏面に適宜、配線回路層3を形成する。配線回路層3の形成は、1)絶縁シート1の表面に金属箔を貼り付けた後、エッチング処理して回路パター

ンを形成する方法、2)絶縁シート1表面にレジストを形成して、メッキにより形成する方法、3)転写フィルム表面に金属箔を貼り付け、金属箔をエッチング処理して回路パターンを形成した後、この金属箔からなる回路パターンを絶縁シート1表面に転写させる方法等が挙げられる。この時、電気素子の電極と接続されるビアホール導体2aに対しては、配線回路層を形成しないか、または前記低融点金属を含む接続用パッドを設けてもよい。

10 【0025】配線回路層3としては、銅、アルミニウム、金、銀の群から選ばれる少なくとも1種、または2種以上の合金からなることが望ましく、特に、銅、または銅を含む合金が最も望ましい。また、場合によっては、導体組成物として回路の抵抗調整のためにNi-Cr合金などの高抵抗の金属を混合、または合金化してもよい。さらには、配線回路層の低抵抗化のために、前記低抵抗金属よりも低融点の金属、例えば、半田、錫などの低融点金属を導体組成物中の金属成分中に2～20重量%の割合で含んでもよい。

20 【0026】その後、図1(c)に示すように、上記絶縁シート1の表面に電気素子4を載置し、電気素子4の裏面に形成された電極5をビアホール導体2aの端面の露出部と当接させる。

【0027】この時の電気素子4としては、半導体素子、コンデンサ素子、抵抗素子、フィルター素子、発振素子などが挙げられ、特に、耐熱温度が硬化温度 T_2 よりも高いことが望ましい。

30 【0028】そして、電気素子4を搭載した絶縁シート1を、ビアホール導体2bや配線回路層3が形成された他の絶縁シート6、7とともに積層する。この時、図1(d)に示すように、絶縁シート1の直上の絶縁シート6に対しては、電気素子4を収納するための開口9を形成して積層することにより、電気素子4を絶縁シート1、6、7によって形成される密閉された空隙中に収納搭載することができる。

【0029】その後、上記のようにして作製された積層物を絶縁シート1中の熱硬化性樹脂の硬化温度 T_2 以上に加熱することにより、絶縁シート1、6、7を完全硬化させる。

40 【0030】この時、ビアホール導体2a内の低融点導体材料はその融点 T_1 が硬化温度 T_2 よりも低いために、上記熱硬化時に溶融する結果、電気素子4の電極5とビアホール導体2aとを電気的に接続することができる。

【0031】その結果、図1(e)に示すように、電気素子4を多層配線基板A内部の密閉された空隙10中に収納搭載され、空隙10内においてビアホール導体2aと電気的に接続された電気素子を搭載した多層配線基板を作製することができる。

【0032】なお、本発明によれば、上記の方法を発展

させて、あらゆる形態の電気素子を搭載した配線基板を作製することができ、例えば、多層配線基板内の同一層内、あるいは異なる層に、複数の空隙部を形成してそれぞれ電気素子を収納搭載させて、複数の電気素子を搭載させることができる。また、熱硬化性樹脂を硬化前に流動させ、電気素子4の周辺の絶縁相との隙間を極力小さくすることが信頼性を高める上で望ましい。

【0033】また、上記の方法は、電気素子を基板内部に収納した場合について述べたが、電気素子を基板の表面においてビアホール導体と接続させる場合においても適用でき、さらには、上記のように基板内部への収納搭載とともに、基板表面への搭載も同時に行うことも可能である。

【0034】このように、本発明によれば、配線基板の内部に、単一のみならず、複数の電気素子を容易に搭載することができるために、配線基板の小型化と、電気素子の実装密度を高めることのできる電気素子搭載配線基板を提供できる。しかも、本発明の製造方法によれば、電気素子の配線基板への接続と、多層配線基板との製造を同時に行うことができる結果、製造工程の簡略化が可能であり、製造の歩留りを高め、コストの低減を図ることができる。

【0035】

【実施例】(1) PPE (ポリフェニレンエーテル) 樹脂 (硬化温度 $T_c = 200^\circ\text{C}$) 50体積%、シリカ粉末 50体積%の割合となるように、ワニス状態の樹脂と粉末を混合しドクターブレード法により、厚さ75mmの絶縁シートaを作製し、その絶縁シートaにバンチングで直径0.1mmのビアホールを複数個形成し、そのうち、電気素子の電極と接続されるビアホール内に表面に銀をメッキした平均粒径が5 μm の銅粉末を50体積%、低融点金属としてSn-Pb共晶ハンダからなる平均粒径が3 μm の粉末 (融点 $T_f = 183^\circ\text{C}$) を50体積%とからなる金属成分に対して、トリアリルイソシアヌレート を5体積%の割合で添加した導体ペーストを充填してビアホール導体を形成した。また、電気素子と接続されないビアホールにも、同様の導体ペーストを充填した。

【0036】(2) 一方、ポリエチレンテレフタレート (PET) 樹脂からなる転写シートの表面に接着剤を塗布し、厚さ12 μm 、表面粗さ0.8 μm の銅箔を一面に接着した。そして、フォトリソ (ドライフィルム) を塗布し露光現像を行った後、これを塩化第二鉄溶液中に浸漬して非パターン部をエッチング除去して配線回路層を形成した。なお、作製した配線回路層は、線幅が20 μm 、配線と配線との間隔が20 μm の微細なパターンである。

【0037】(3) そして、(1) で作製した絶縁シートaの表面に、転写シートの配線回路層側を絶縁シート

aに50kg/cm²の圧力で圧着した後、転写シートを剥がして、配線回路層を絶縁シートaに転写させた。

【0038】(4) 次に、ビアホール導体および配線回路層が形成された絶縁シートaの表面に、シリコン半導体メモリチップ (耐熱温度250 $^\circ\text{C}$) を載置し、チップの裏面に形成された電極とビアホール導体の端部の露出部が当接するように位置合わせし、接着剤によって仮固定した。

【0039】(5) その後、上記と同様にしてビアホール導体または配線回路層を形成した絶縁シートbに対して、電気素子の大きさよりもわずかに大きい開口をバンチングによって形成し、それを電気素子の厚さ分積層し、最後に開口を有しない絶縁シートcを積層し、20kg/cm²の圧力を印加して圧着した。

【0040】(6) そして、この積層物を200 $^\circ\text{C}$ で1時間加熱して完全硬化させて多層配線基板を作製した。なお、加熱による樹脂の流動で絶縁シートの開口部が収縮して絶縁層とチップとが密着し、チップと絶縁層との隙間はほとんどなくなっていた。

【0041】得られた多層配線基板に対して、断面における配線回路層やビアホール導体の形成付近を観察した結果、IC素子とビアホール導体とはビアホール導体中の低融点金属の溶融によって良好な接続状態であり、各配線間の導通テストを行った結果、配線の断線も認められなかった。また、IC素子の動作においても何ら問題はなかった。得られた多層配線基板を湿度85%、温度85 $^\circ\text{C}$ の高温多湿雰囲気中に100時間放置したが、目視で判別できる程度の変化は全く生じていなかった。

【0042】

【発明の効果】以上詳述したとおり、本発明によれば、配線基板の内部に、単一あるいは複数の電気素子を容易に搭載することができるために、配線基板の小型化と、電気素子の実装密度を高めることのできる電気素子搭載配線基板を提供できる。しかも、本発明の製造方法によれば、電気素子の配線基板への接続と、多層配線基板との製造を同時に行うことができる結果、製造工程の簡略化が可能であり、製造の歩留りを高め、コストの低減を図ることができる。

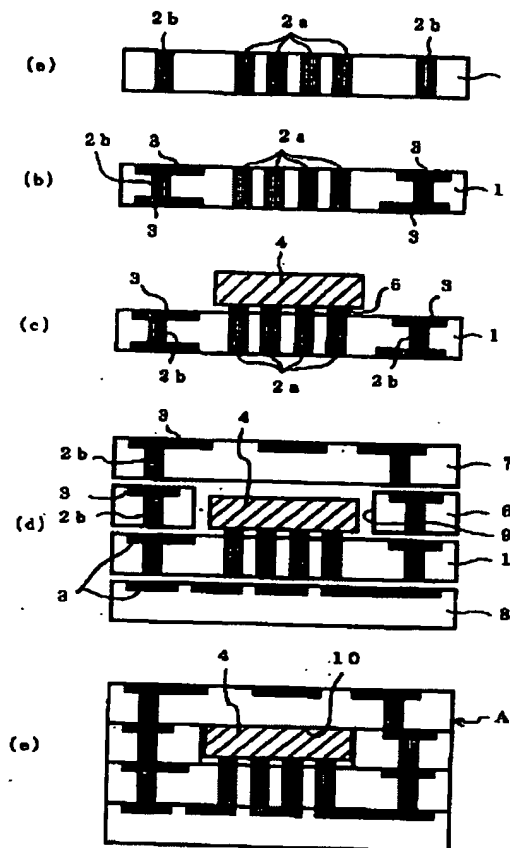
【図面の簡単な説明】

【図1】本発明の電気素子搭載配線基板の製造方法を説明するための工程図である。

【符号の説明】

- 1, 6, 7, 8 絶縁シート
- 2 ビアホール導体
- 3 配線回路層
- 4 電気素子
- 5 電極
- 9 開口
- 10 空隙

【図 1】



【手続補正書】

【提出日】平成 11 年 12 月 9 日 (1999. 12. 9)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】少なくとも熱硬化性樹脂を含む複数の絶縁層を積層してなる絶縁基板と、該絶縁基板の表面および内部に形成された配線回路層と、金属粉末が充填されてなるビアホール導体とを具備する配線基板の表面または内部に電気素子が搭載され、前記電気素子の電極と前記ビアホール導体とが電気的に接続してなる電気素子搭載配線基板において、前記電極と接続されるビアホール導体が、前記熱硬化性樹脂の硬化温度以下の低い融点を有する低融点金属と融点が熱硬化性樹脂の硬化温度よりも高い高融点金属との混合物を含有し、該ビアホール導体

と前記電気素子の電極とを前記ビアホール導体中の少なくとも前記低融点金属によって電気的に接続固定してなることを特徴とする電気素子搭載配線基板。

【請求項 2】前記電気素子が、前記配線基板内部の密閉された空隙中に収納搭載されていることを特徴とする請求項 1 記載の電気素子搭載配線基板。

【請求項 3】少なくとも熱硬化性樹脂を含有する未硬化の絶縁シートにビアホールを形成し、該ビアホール中に前記熱硬化性樹脂の硬化温度以下の低い融点を有する低融点金属と融点が熱硬化性樹脂の硬化温度よりも高い高融点金属との混合物を含有する導体ペーストを充填してビアホール導体を形成する A 工程と、前記絶縁シートの表面に所定の電気素子を搭載し、前記電気素子の電極と前記ビアホール導体の端部の露出部とを当接させる B 工程と、前記電気素子を載置した絶縁シートを他の絶縁シートとともに積層する C 工程と、該積層物を前記熱硬化性樹脂の熱硬化温度に加熱して前記絶縁シートを硬化させると同時に、前記ビアホール導体内の前記低融点金属

を溶融せしめ、前記電気素子の電極とビアホール導体とを電気的に接続するD工程と、を具備することを特徴とする電気素子搭載配線基板の製造方法。

【請求項4】前記C工程において、前記電気素子が密閉された空隙中に収納搭載されるように他の絶縁シートを積層することを特徴とする請求項3記載の電気素子搭載配線基板の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】

【課題を解決するための手段】本発明者は、電気素子を搭載した配線基板の小型化および製造の簡略化について検討を重ねた結果、電気素子の電極をビアホール導体と接続させるとともに、ビアホール導体中に、絶縁基板中に含まれる熱硬化性樹脂の硬化温度以下の低い融点を有する低融点金属と融点が熱硬化性樹脂の硬化温度よりも高い高融点金属との混合物を含有せしめることによって、前記電気素子の電極と前記ビアホール導体との接続を配線基板の製造と同時に行うとともに、電気素子を多層配線基板内に容易に内蔵できることを見だし、本発明に至った。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】即ち、本発明の電気素子搭載配線基板は、少なくとも熱硬化性樹脂を含む複数の絶縁層を積層してなる絶縁基板と、該絶縁基板の表面および内部に形成された配線回路層と、金属粉末が充填されてなるビアホール導体とを具備する配線基板の表面または内部に電気素子が搭載され、前記電気素子の電極と前記ビアホール導体とが電気的に接続してなる電気素子搭載配線基板において、前記電極と接続されるビアホール導体が、前記熱硬化性樹脂の硬化温度以下の低い融点を有する低融点金属と融点が熱硬化性樹脂の硬化温度よりも高い高融点金属との混合物を含有し、該ビアホール導体と前記電気素子の電極とを前記ビアホール導体中の少なくとも前記低融点金属によって電気的に接続固定してなることを特徴とするものであり、特に、前記電気素子は前記配線基板内部の密閉された空隙中に収納搭載されていることが望ましい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】また、本発明の電気素子搭載配線基板の製造方法によれば、少なくとも熱硬化性樹脂を含有する未硬化の絶縁シートにビアホールを形成し、該ビアホール中に前記熱硬化性樹脂の硬化温度以下の低い融点を有する低融点金属と融点が熱硬化性樹脂の硬化温度よりも高い高融点金属との混合物を含有する導体ペーストを充填してビアホール導体を形成するA工程と、前記絶縁シートの表面に所定の電気素子を搭載し、前記電気素子の電極と前記ビアホール導体の端部の露出部とを当接させるB工程と、前記電気素子を載置した絶縁シートを他の絶縁シートとともに積層するC工程と、該積層層を前記熱硬化性樹脂の熱硬化温度に加熱して前記絶縁シートを硬化させると同時に、前記ビアホール導体内の前記低融点金属を溶融せしめ、前記電気素子の電極とビアホール導体とを電気的に接続するD工程と、を具備することを特徴とするものであり、特に、前記C工程において、前記電気素子が密閉された空隙中に収納搭載されるように他の絶縁シートを積層することが望ましい。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】図1によれば、まず、図1(a)に示すように、硬化温度 T_1 の熱硬化性樹脂を含む軟質(Bステージ状態)の絶縁シート1を作製し、この絶縁シート1には、厚み方向に貫通するビアホールを形成し、そのビアホールのうち、電気素子の電極と接続されるビアホール内に、前記熱硬化性樹脂の硬化温度 T_1 以下の低い融点 T_2 を有する低融点金属と融点が熱硬化性樹脂の硬化温度よりも高い高融点金属とを含有する導体ペーストをスクリーン印刷や吸引処理しながら充填して、電気素子接続用のビアホール導体2aを形成する。また、図1(a)によれば、電気素子接続用のビアホール導体2a以外に、一般のビアホール導体2bも形成されている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】また、この低融点金属は、導体ペースト中の金属成分の全部を構成することもできるが、後述する熱硬化時に溶融した時にビアホール導体内での保形性が悪くなる可能性があることから、融点が熱硬化性樹脂の硬化温度よりも高い高融点金属と混合して用いることが重要である。融点が熱硬化性樹脂の硬化温度よりも高融点金属としては、銅、銀、銅銀合金あるいはそれらの混合物が好適に使用される。前記高融点金属と前記低融点金属は、体積比率で90～10:10～90の比率で混合することが望ましい。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.